

J01P1271 US00

CERTIFIED COPY OF  
PRIORITY DOCUMENT

日本国特許庁  
JAPAN PATENT OFFICE

J1017 U.S. PTO  
09/938152



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2000年 8月25日

出願番号

Application Number:

特願2000-255424

出願人

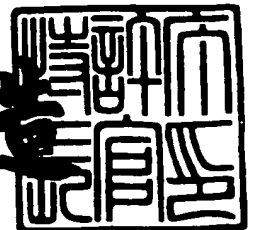
Applicant(s):

ソニー株式会社

2001年 5月30日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0000565003

【提出日】 平成12年 8月25日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/56

【発明者】

    【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

    【氏名】 清水 邦敏

【発明者】

    【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

    【氏名】 嶋 久登

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

    【代表者】 出井 伸之

【代理人】

    【識別番号】 100082131

    【弁理士】

    【氏名又は名称】 稲本 義雄

    【電話番号】 03-3369-6479

【手数料の表示】

    【予納台帳番号】 032089

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

特 2 0 0 0 - 2 5 5 4 2 4

【包括委任状番号】 9708842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 送信装置および方法、並びにプログラム格納媒体

【特許請求の範囲】

【請求項 1】 受信側で処理されるデータを格納している、0または1つ以上の第1の packets を格納する第2の packets を送信する送信装置において、

前記第2の packets の記憶を制御する記憶制御手段と、

前記第2の packets の大きさが同一となるように、受信側で無視される第3の packets を前記第2の packets に挿入する挿入手段と、

前記第3の packets が挿入され同一の大きさとされた、記憶されている前記第2の packets の送信を制御する送信制御手段と

を含むことを特徴とする送信装置。

【請求項 2】 前記送信制御手段は、MPEG2-TSである前記第1の packets を格納するアイソクロナス packets である前記第2の packets の、IEEE1394の規格に基づくバスを介する送信を制御する

ことを特徴とする請求項 1 に記載の送信装置。

【請求項 3】 受信側で処理されるデータを格納している、0または1つ以上の第1の packets を格納する第2の packets を送信する送信装置の送信方法において、

前記第2の packets の記憶を制御する記憶制御ステップと、

前記第2の packets の大きさが同一となるように、受信側で無視される第3の packets を前記第2の packets に挿入する挿入ステップと、

前記第3の packets が挿入され同一の大きさとされた、記憶されている前記第2の packets の送信を制御する送信制御ステップと

を含むことを特徴とする送信方法。

【請求項 4】 受信側で処理されるデータを格納している、0または1つ以上の第1の packets を格納する第2の packets を送信する送信処理用のプログラムであって、

前記第2の packets の記憶を制御する記憶制御ステップと、

前記第2の packets の大きさが同一となるように、受信側で無視される第3の

パケットを前記第 2 のパケットに挿入する挿入ステップと、

前記第 3 のパケットが挿入され同一の大きさとされた、記憶されている前記第 2 のパケットの送信を制御する送信制御ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが格納されているプログラム格納媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、送信装置および方法、並びにプログラム格納媒体に関し、特に、パケットを伝送してデータを送信する送信装置および方法、並びにプログラム格納媒体に関する。

【0002】

【従来の技術】

IEEE (Institute of Electrical and Electronic Engineers) 1394の規格に基づくバス（以下、1394バスと称する）を介して、アイソクロナス伝送によりデータを送信する送信装置において、MPEG (Moving Picture Experts Group) 2-TS (Transport Stream) データを送信するとき、専用に設けられているCPU (Central Processing Unit) が1394バスのサイクルタイム値などを監視し、送信するデータのサイズなどを制御している。

【0003】

1394インタフェースが設けられたパーソナルコンピュータなどにおいて、安価に構成しなければならないので、このような1394インタフェースは、専用のCPUを有せず、汎用の1394DMA (Direct Memory Access) コントローラにより、サイズなどが制御されたパケットを1394バスに送信しなければならない。

【0004】

図1は、従来の、1394DMAコントローラにより、1394バスを介して、アイソクロナス伝送によりデータを送信する送信装置の構成を示すブロック図である。

【0005】

CPU1は、IDE (Integrated Drive Electronics) コントローラ3を制御し、MP

EG2-TSデータ（以下、TSP（Transport Stream Packet）とも称する）をストレージデバイス2から読み出させて、読み出したMPEG2-TSデータを、CIP（Common Isochronous Packet）、およびSPH（Source Packet Header）と共に、アイソクロナスパケットとしてメインメモリ4に格納させる。

## 【0006】

CPU1は、TSPを格納するアイソクロナスパケットの構成を示す送信パターンの記述をメインメモリ4に記憶させる。

## 【0007】

図2は、従来の送信装置により送信されるアイソクロナスパケットを説明する図である。1394バス上をアイソクロナス伝送されるアイソクロナスパケットは、CIP、SPH、およびTSPが、適宜、組み合わせられて構成される。

## 【0008】

図2に示すサイクルタイムn（1394バス上の1つのアイソクロナス伝送のサイクルに対応する）におけるアイソクロナスパケットは、1つのCIP、1つのSPH、および1つのTSPで構成される。図2に示すサイクルタイムn+1におけるアイソクロナスパケットは、1つのCIPのみで構成される。

## 【0009】

また、図2に示すサイクルタイムn+3におけるアイソクロナスパケットは、1つのCIP、2つのSPH、および2つのTSPで構成される。

## 【0010】

図2に示すアイソクロナスパケットに対応して実行される、1394バス上のアイソクロナスパケットの送信のタイミングを示すタイムチャートを図3に示す。

## 【0011】

このように、1394バス上のアイソクロナス伝送の各サイクルにおいて送信されるアイソクロナスパケットのサイズが同じとは限らない。アイソクロナスパケットの構成を示す送信パターンは、メインメモリ4の送信パターン記述メモリの領域に格納される。

## 【0012】

CPU1は、1394DMAコントローラ5に、メインメモリ4の送信パターン記述メモ

りの領域に格納されている送信パターンに基づいて、メインメモリ 4 に格納されているアイソクロナスパケットを 1394バスを介して送信させる。

【 0 0 1 3 】

IDEコントローラ 3 は、ストレージデバイス 2 のデータの記録または読み出しを制御し、CPU 1 または 1394DMAコントローラ 5 から供給されたデータをストレージデバイス 2 に記録させ、ストレージデバイス 2 から読み出したデータを、CPU 1、またはメインメモリ 4 に供給する。

【 0 0 1 4 】

メインメモリ 4 には、送信パターン記述メモリの領域、および送信バッファの領域が確保される。

【 0 0 1 5 】

1394DMAコントローラ 5 は、メインメモリ 4 の送信パターン記述メモリの領域に記憶されている送信パターンに基づいて、メインメモリ 4 の送信バッファに格納されているアイソクロナスパケットを、1394バスのアイソクロナス伝送のサイクルに対応してDMA転送し（読み出して）、1394バス上をアイソクロナスパケットとして伝送する。

【 0 0 1 6 】

次に、図 4 のフローチャートを参照して、CPU 1 による伝送の処理を説明する。

【 0 0 1 7 】

ステップ S 1 1 において、CPU 1 は、IDEコントローラ 3 に、MPEG2-TSデータをストレージデバイス 2 から、メインメモリ 4 の送信バッファに読み込ませる。メインメモリ 4 の送信バッファに読み込まれたMPEG2-TSデータは、アイソクロナスパケットとされる。

【 0 0 1 8 】

ステップ S 1 2 において、CPU 1 は、送信バッファ上にあるアイソクロナスパケットの長さを調べて、送信パターン記述メモリに各アイソクロナスサイクルで伝送されるアイソクロナスパケットの長さを記述する。

【 0 0 1 9 】

ステップS13において、CPU1は、送信バッファに格納されている総てのアイソクロナスパケットについて記述したか否かを判定し、送信バッファに格納されている総てのアイソクロナスパケットについて記述していないと判定された場合、ステップS12に戻り、アイソクロナスパケットの長さの記述の処理を繰り返す。

#### 【0020】

ステップS13において、送信バッファに格納されている総てのアイソクロナスパケットについて記述したと判定された場合、ステップS14に進み、CPU1は、送信パターン記述メモリの内容に従って、アイソクロナス伝送を行うように、1394DMAコントローラ5に指令し、処理は終了する。

#### 【0021】

##### 【発明が解決しようとする課題】

しかしながら、総てのアイソクロナスパケットについて送信パターンを記述する処理は、送信するアイソクロナスパケットを格納するための大量のメモリ容量を必要とし、同時に、アイソクロナスパケットの長さを調べなければならないので大きな演算負荷を発生するという問題点があった。

#### 【0022】

本発明はこのような状況に鑑みてなされたものであり、より少ないリソースでパケットを送信することができるようにすることを目的とする。

#### 【0023】

##### 【課題を解決するための手段】

請求項1に記載の送信装置は、第2のパケットの記憶を制御する記憶制御手段と、第2のパケットの大きさが同一となるように、受信側で無視される第3のパケットを第2のパケットに挿入する挿入手段と、第3のパケットが挿入され同一の大きさとされた、記憶されている第2のパケットの送信を制御する送信制御手段とを含むことを特徴とする。

#### 【0024】

送信制御手段は、MPEG2-TSである第1のパケットを格納するアイソクロナスパケットである第2のパケットの、IEEE1394の規格に基づくバスを介する送信を制



御するようにすることができる。

【 0 0 2 5 】

請求項 3 に記載の送信方法は、第 2 のパケットの記憶を制御する記憶制御ステップと、第 2 のパケットの大きさが同一となるように、受信側で無視される第 3 のパケットを第 2 のパケットに挿入する挿入ステップと、第 3 のパケットが挿入され同一の大きさとされた、記憶されている第 2 のパケットの送信を制御する送信制御ステップとを含むことを特徴とする。

【 0 0 2 6 】

請求項 4 に記載のプログラム格納媒体のプログラムは、第 2 のパケットの記憶を制御する記憶制御ステップと、第 2 のパケットの大きさが同一となるように、受信側で無視される第 3 のパケットを第 2 のパケットに挿入する挿入ステップと、第 3 のパケットが挿入され同一の大きさとされた、記憶されている第 2 のパケットの送信を制御する送信制御ステップとを含むことを特徴とする。

【 0 0 2 7 】

請求項 1 に記載の送信装置、請求項 3 に記載の送信方法、および請求項 4 に記載のプログラム格納媒体においては、第 2 のパケットの記憶が制御され、第 2 のパケットの大きさが同一となるように、受信側で無視される第 3 のパケットが第 2 のパケットに挿入され、第 3 のパケットが挿入され同一の大きさとされた、記憶されている第 2 のパケットの送信が制御される。

【 0 0 2 8 】

【発明の実施の形態】

図 5 は、1394バスを介して、アイソクロナス伝送によりデータを送信する、本発明に係る送信装置の一実施の形態の構成を示すブロック図である。

【 0 0 2 9 】

CPU 1 0 1 は、送信装置全体を制御すると共に、送信プログラムを実行して、I DEコントローラ 1 0 3 を制御し、MPEG2-TSデータをストレージデバイス 1 0 2 から読み出させて、読み出したMPEG2-TSデータをTSPとして、CIP、SPH、およびNullPacketと共に、アイソクロナスパケットとしてメインメモリ 1 0 4 の送信バッファに格納させる。

## 【 0 0 3 0 】

図6は、メインメモリ104の送信バッファに格納されるアイソクロナスパケットを説明する図である。メインメモリ104の送信バッファに格納されるアイソクロナスパケットは、CIP、SPH、TSP、およびNullPacketが、適宜、組み合わせられて構成される。

## 【 0 0 3 1 】

メインメモリ104の送信バッファに格納されるアイソクロナスパケットは、1つのCIP、1つのSPH、1つのNullPacket、1つのSPH、および1つのNullPacketから構成されるか、1つのCIP、1つのSPH、1つのTSP、1つのSPH、および1つのNullPacketから構成されるか、または1つのCIP、1つのSPH、1つのTSP、1つのSPH、および1つのTSPから構成される。

## 【 0 0 3 2 】

CIPが8バイトで構成され、SPHが4バイトで構成され、TSPが188バイトで構成され、NullPacketが188バイトで構成されるので、メインメモリ104の送信バッファに格納されるアイソクロナスパケットは、常に、392バイトとされる。

## 【 0 0 3 3 】

図7は、NullPacketの構造を説明する図である。NullPacketは、sync\_byte, transport\_error\_indicator、およびPIDなどから構成され、復号に際し、無視されるMPEG2-TSデータである。

## 【 0 0 3 4 】

TSPを受信した受信装置は、TSPに含まれるPIDを抽出し、PIDが0x1fffであるとき、そのTSPがNullPacketであると判定し、NullPacketであるTSPを捨て、PIDが0x1fffでないとき、そのTSPに格納されているデータを利用する。

## 【 0 0 3 5 】

本発明に係る送信装置による、1394バス上のアイソクロナスパケットの送信のタイミングを示すタイムチャートを図8に示す。

## 【 0 0 3 6 】

このように、1394バス上のアイソクロナス伝送の各サイクルにおいて送信され

るアイソクロナスパケットは、同一のサイズである 3 9 2 バイトとされる。1394 バスのアイソクロナス伝送に使用される帯域 (Isochronous Bandwith Resouce) は、アイソクロナス伝送において送信されるアイソクロナスパケットの最大サイズに対応して確保されるので、アイソクロナスパケットに NullPacket が格納されても、アイソクロナス伝送に使用される帯域が無駄に消費されることはない。

## 【 0 0 3 7 】

CPU 1 0 1 は、1394DMA コントローラ 1 0 5 に、メインメモリ 1 0 4 の送信バッファに格納されているアイソクロナスパケットを 1394 バスを介して送信させる。

## 【 0 0 3 8 】

IDE コントローラ 1 0 3 は、ストレージデバイス 1 0 2 のデータの記録または読み出しを制御し、CPU 1 0 1 または 1394DMA コントローラ 1 0 5 から供給されたデータをストレージデバイス 1 0 2 に記録させ、ストレージデバイス 1 0 2 から読み出したデータを、CPU 1 0 1、またはメインメモリ 1 0 4 に供給する。

## 【 0 0 3 9 】

メインメモリ 1 0 4 には、CPU 1 0 1 が実行する送信プログラムの処理により、送信バッファとしての領域が確保される。

## 【 0 0 4 0 】

1394DMA コントローラ 1 0 5 は、メインメモリ 1 0 4 の送信バッファに格納されている、同一のサイズのアイソクロナスパケットを、1394 バスのアイソクロナス伝送のサイクル毎に DMA 転送し (読み出して)、1394 バス上をアイソクロナスパケットとして伝送する。

## 【 0 0 4 1 】

ドライブ 1 0 7 は、装着されている磁気ディスク 1 3 1、光ディスク 1 3 2、光磁気ディスク 1 3 3、または半導体メモリ 1 3 4 に記録されているデータまたはプログラム (CPU 1 0 1 が実行する送信プログラムを含む) を読み出して、そのデータまたはプログラムを、インターフェース 1 0 6 を介して、CPU 1 1 またはメインメモリ 1 0 4 に供給する。

## 【 0 0 4 2 】

これらの CPU 1 0 1 乃至インターフェース 1 0 6 は、内部バスにより相互に接

続されている。

【 0 0 4 3 】

次に、図 9 のフローチャートを参照して、CPU 1 0 1 が実行する送信プログラムによる伝送の処理を説明する。

【 0 0 4 4 】

ステップ S 1 0 1 において、送信プログラムは、IDEコントローラ 1 0 3 に、MPEG2-TSデータをストレージデバイス 1 0 2 から読み込ませながら、各アイソクロナスサイクルに伝送されるデータ量が常に最大の伝送可能なパケットサイズと等しくなるように、アイソクロナスパケットにNullPacketを付加しながら、メインメモリ 1 0 4 の送信バッファに書き込む。

【 0 0 4 5 】

ステップ S 1 0 2 において、送信プログラムは、各アイソクロナスサイクル毎に一定のバイト数のデータを送信バッファからアイソクロナス伝送を行うように 1394DMAコントローラに指令して、処理は終了する。

【 0 0 4 6 】

このように、本発明に係る送信装置は、各アイソクロナスサイクル毎に異なるサイズのアイソクロナスパケットを送信するなどの複雑な制御を必要とせず、小さなリソースで、1394バスを介して、MPEG2-TSデータが格納されたアイソクロナスパケットを送信することができる。

【 0 0 4 7 】

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、プログラム格納媒体からインストールされる。

【 0 0 4 8 】

コンピュータにインストールされ、コンピュータによって実行可能な状態とされるプログラムを格納するプログラム格納媒体は、図 5 に示すように、磁気ディ

スク 1 3 1 (フロッピディスクを含む)、光ディスク 1 3 2 (CD-ROM(Compact Disc-Read Only Memory)、DVD(Digital Versatile Disc)を含む)、光磁気ディスク 1 3 3 (MD(Mini-Disc)を含む)、若しくは半導体メモリ 1 3 4 などよりなるパッケージメディア、または、プログラムが一時的若しくは永続的に格納される図示せぬROMや、ストレージデバイス 1 0 2 などにより構成される。プログラム格納媒体へのプログラムの格納は、必要に応じてルータ、モデムなどのインタフェースを介して、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の通信媒体を利用して行われる。

【 0 0 4 9 】

なお、本明細書において、プログラム格納媒体に格納されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【 0 0 5 0 】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【 0 0 5 1 】

【発明の効果】

請求項 1 に記載の送信装置、請求項 3 に記載の送信方法、および請求項 4 に記載のプログラム格納媒体によれば、第 2 のパケットの記憶が制御され、第 2 のパケットの大きさが同一となるように、受信側で無視される第 3 のパケットが第 2 のパケットに挿入され、第 3 のパケットが挿入され同一の大きさとされた、記憶されている第 2 のパケットの送信が制御されるようにしたので、より少ないリソースで第 2 のパケットを送信することができるようになる。

【図面の簡単な説明】

【図 1】

従来のアイソクロナス伝送によりデータを送信する送信装置の構成を示すブロック図である。

【図 2】

従来の送信装置により送信されるアイソクロナスパケットを説明する図である。

【図 3】

従来の、1394バス上のアイソクロナスパケットの送信のタイミングを示すタイムチャートである。

【図 4】

従来の送信装置の伝送の処理を説明するフローチャートである。

【図 5】

本発明に係る送信装置の一実施の形態の構成を示すブロック図である。

【図 6】

メインメモリ 1 0 4 の送信バッファに格納されるアイソクロナスパケットを説明する図である。

【図 7】

NullPacketの構造を説明する図である。

【図 8】

1394バス上のアイソクロナスパケットの送信のタイミングを示すタイムチャートである。

【図 9】

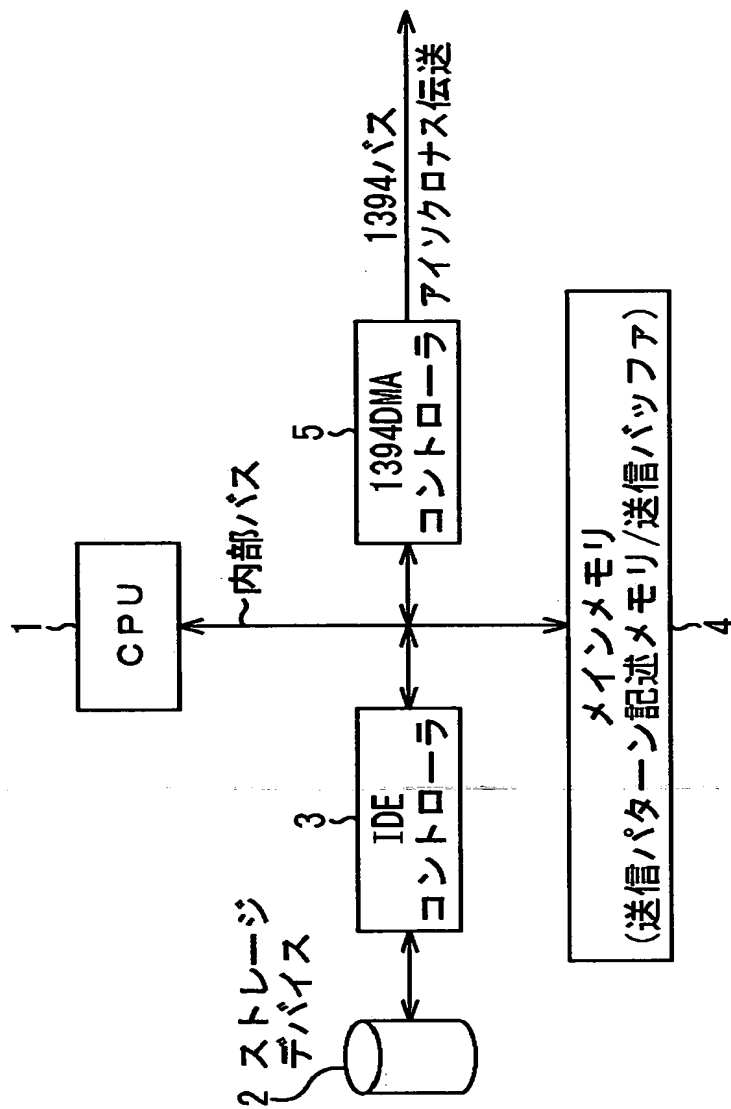
送信プログラムによる伝送の処理を説明するフローチャートである。

【符号の説明】

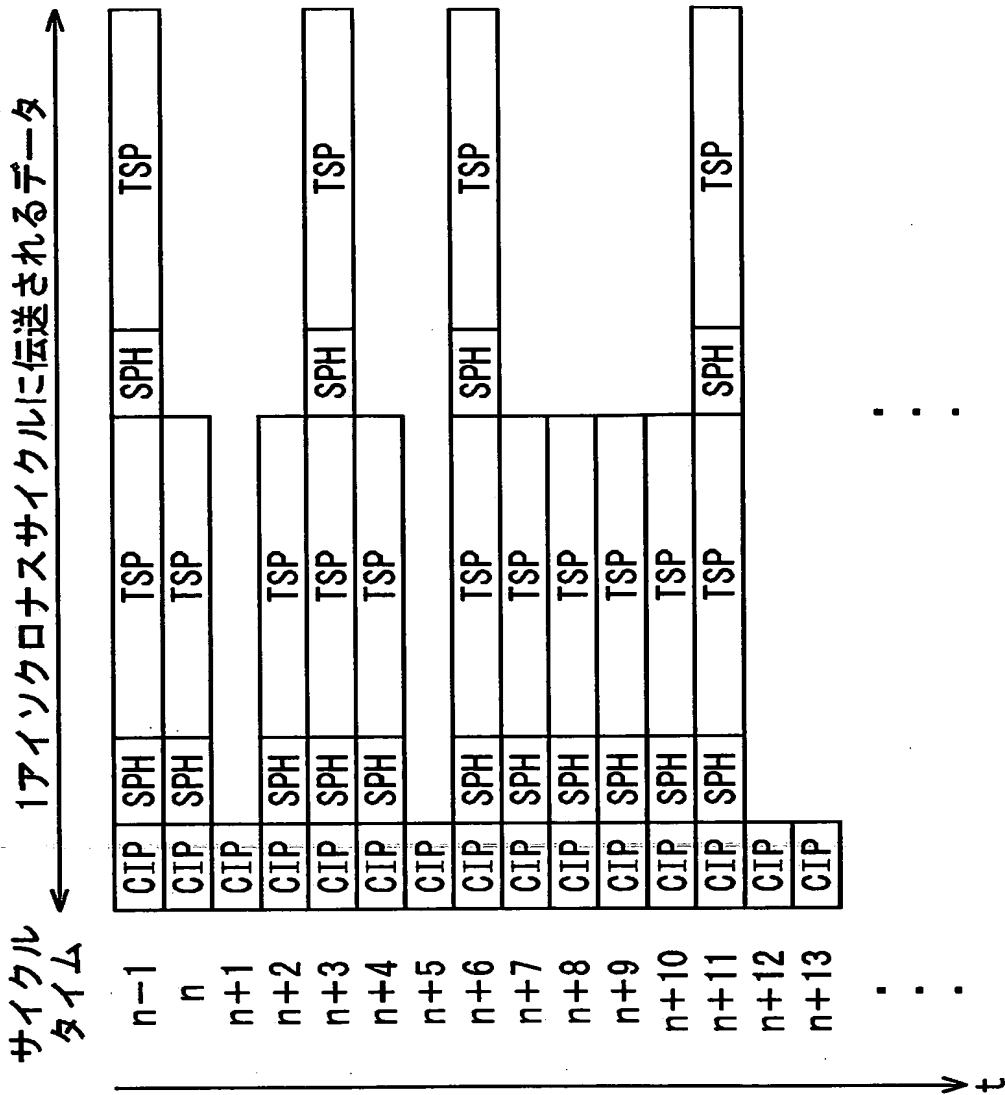
1 0 1 CPU, 1 0 2 ストレージデバイス, 1 0 3 IDEコントローラ,  
1 0 4 メインメモリ, 1 0 5 1394DMAコントローラ, 1 0 6 インタ  
フェース, 1 0 7 ドライブ, 1 3 1 磁気ディスク, 1 3 2 光ディス  
ク, 1 3 3 光磁気ディスク, 1 3 4 半導体メモリ

【書類名】 図面

【図 1】

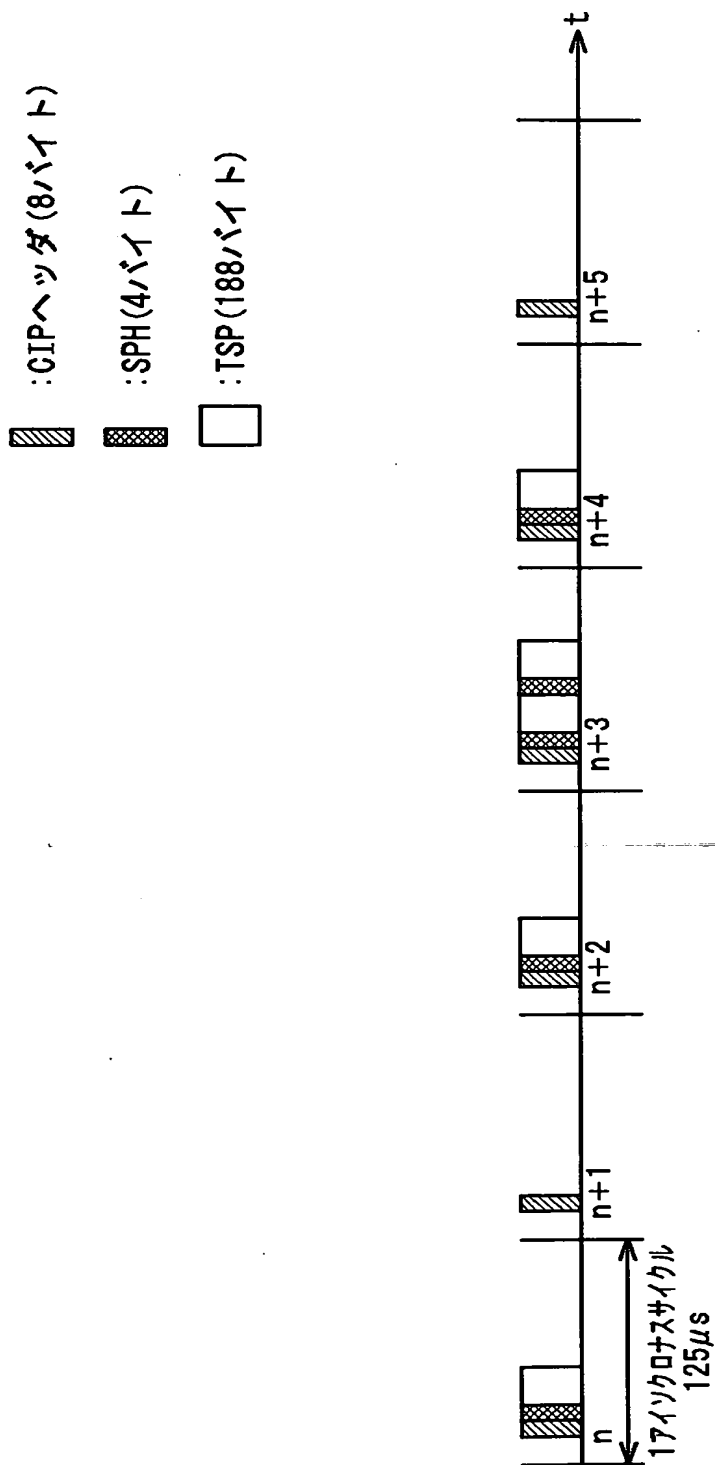


【図 2】

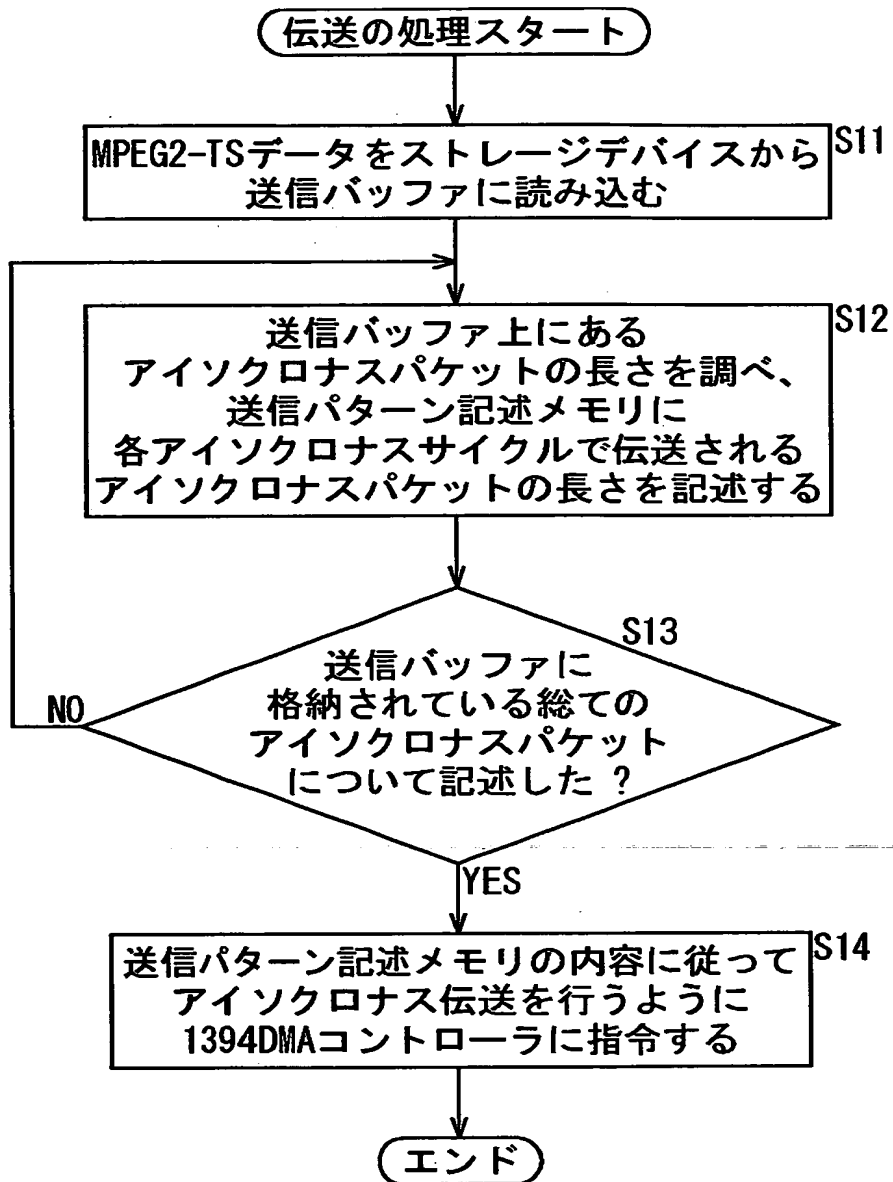




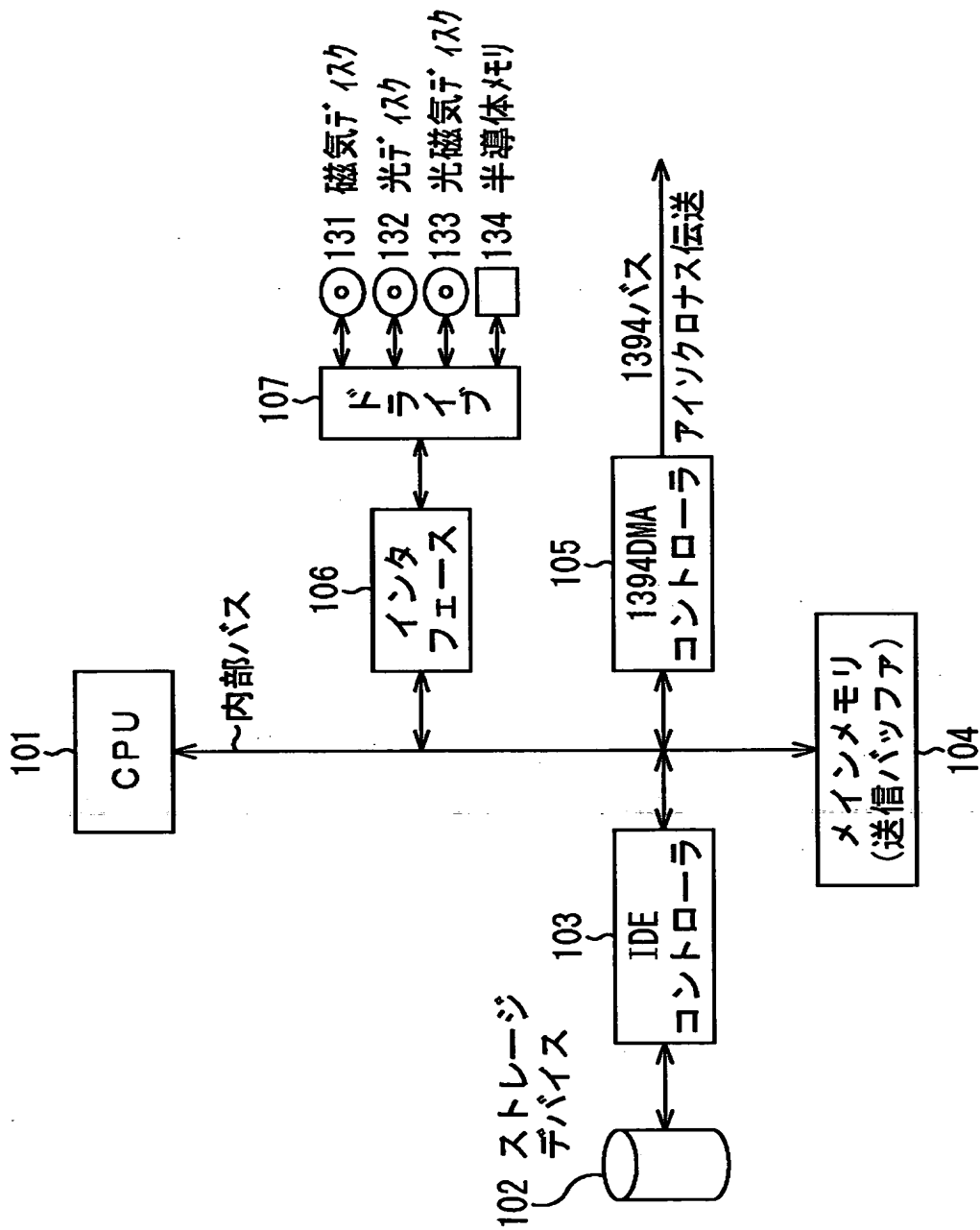
【図 3】



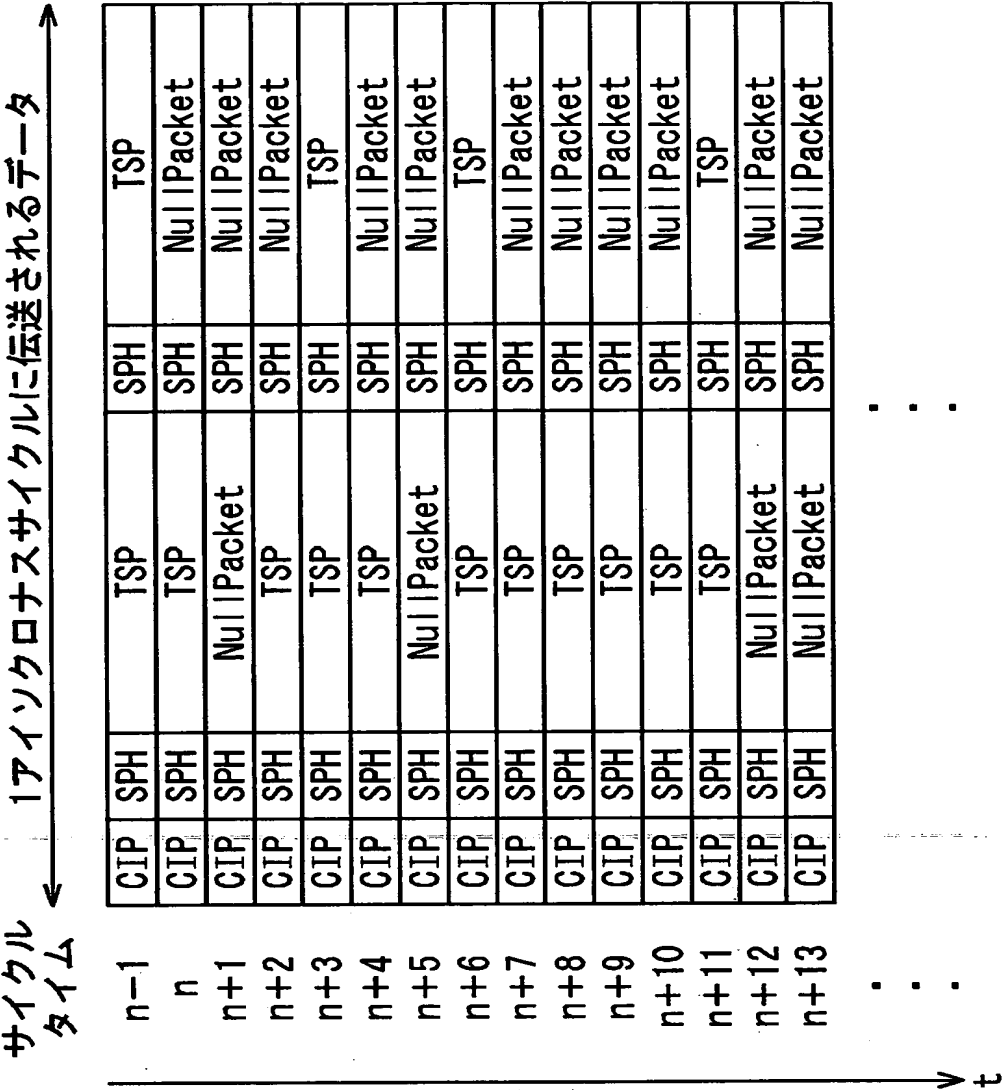
【図 4】



【図5】



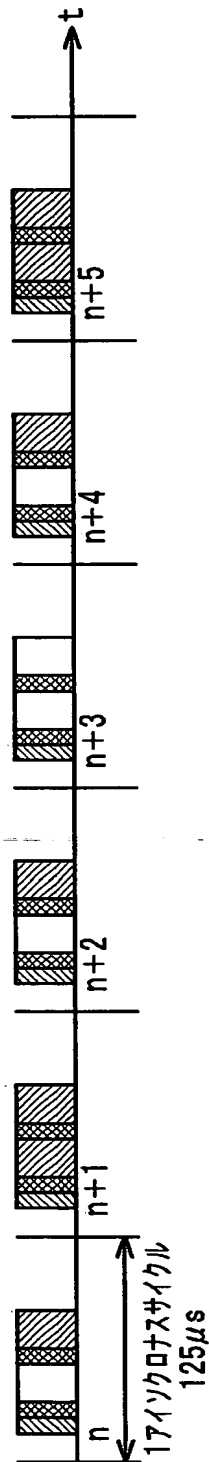
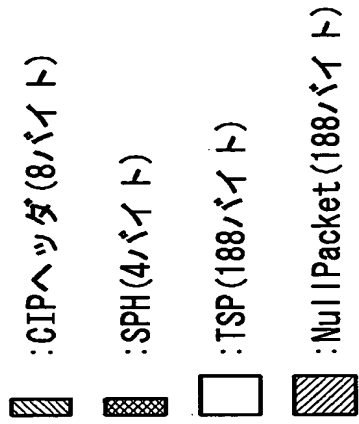
【図 6】



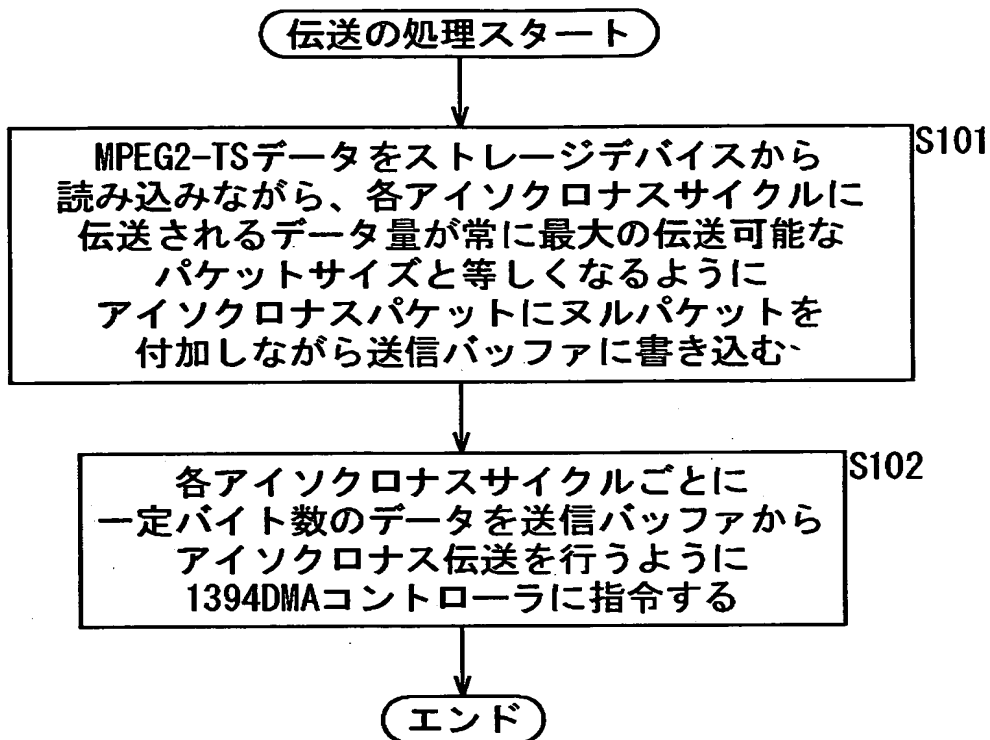
【図 7】

NullPacket() {	No. of bits	Value
sync_byte	8	0x47
transport_error_indicator	1	0
payload_unit_start_indicator	1	0
transport_priority	1	0
PID	13	0x1fff
Transport_scrambling_control	2	0
adaptation_field_control	2	1
continuity_counter	4	0
for (i=0; i<184; i++) {		
data_byte	8	0xff
}		
{		

【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 より少ないリソースでパケットを送信する。

【解決手段】 CPU 1 0 1 は、メインメモリ 1 0 4 へのアイソクロナスパケットの記憶を制御する。CPU 1 0 1 は、アイソクロナスパケットの大きさが同一となるように、受信側で無視されるNullPacketをアイソクロナスパケットに挿入する。1394DMAコントローラ 1 0 5 は、NullPacketが挿入され同一の大きさとされた、記憶されているアイソクロナスパケットの1394バスを介した送信を制御する。

【選択図】 図 5



出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社